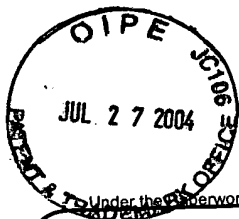


IFW



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission

3

Application Number	10/710,490
Filing Date	7/15/2004
First Named Inventor	CHING-YEN WU
Art Unit	
Examiner Name	
Attorney Docket Number	VIAP0116USA

ENCLOSURES (Check all that apply)

☒ Fee Transmittal Form

☐ Fee Attached

☐ Amendment/Reply

☐ After Final

☐ Affidavits/declaration(s)

☐ Extension of Time Request

☐ Express Abandonment Request

☐ Information Disclosure Statement

☒ Certified Copy of Priority Document(s)

☐ Response to Missing Parts/Incomplete Application

☐ Response to Missing Parts under 37 CFR 1.52 or 1.53

☐ Drawing(s)

☐ Licensing-related Papers

☐ Petition

☐ Petition to Convert to a Provisional Application

☐ Power of Attorney, Revocation

☐ Change of Correspondence Address

☐ Terminal Disclaimer

☐ Request for Refund

☐ CD, Number of CD(s) _____

Remarks

☐ After Allowance communication to Technology Center (TC)

☐ Appeal Communication to Board of Appeals and Interferences

☐ Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)

☐ Proprietary Information

☐ Status Letter

☐ Other Enclosure(s) (please identify below):

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name

Winston Hsu, Reg. No.: 41,526

Signature

Winston Hsu

Date

7/26/2004

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

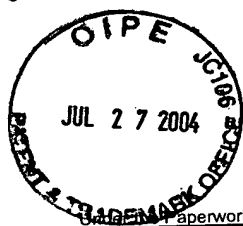
Typed or printed name

Signature

Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ 0.00)

Complete if Known

Application Number	10/710,490
Filing Date	7/15/2004
First Named Inventor	CHING-YEN WU
Examiner Name	
Art Unit	
Attorney Docket No.	VIAP0116USA

METHOD OF PAYMENT (check all that apply)☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit Account Number: 50-3105
Deposit Account Name: North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments☒ Charge any additional fee(s) or any underpayment of fee(s)☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)			(\$ 0.00)

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

	Extra Claims	Fee from below	Fee Paid
Total Claims	-20** =	X	
Independent Claims	-3** =	X	
Multiple Dependent			

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ 0.00)

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)**3. ADDITIONAL FEES**

Large Entity Small Entity

Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ 0.00)

(Complete if applicable)

SUBMITTED BY

Name (Print/Type) Winston Hsu

Registration No.

41,526

Telephone 886289237350

Signature

Date

5/26/2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

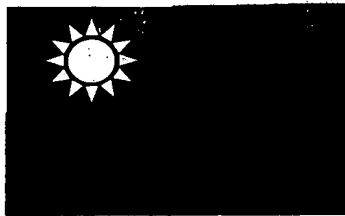
DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092128617	Taiwan R.O.C	10/15/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.

VIA-116



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 15 日
Application Date

申請案號：092128617
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 17 日
Issue Date

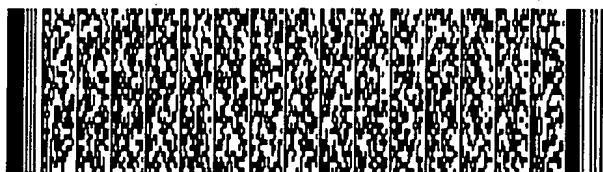
發文字號：09320147570
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	時脈暨資料回復電路
	英文	CLOCK AND DATA RECOVERY CIRCUIT
二、 發明人 (共1人)	姓名 (中文)	1. 吳清延
	姓名 (英文)	1. WU, CHING-YEN
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	1. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 威盛電子股份有限公司
	名稱或姓名 (英文)	1. VIA TECHNOLOGIES INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. WANG, HSUEH-HUNG



四、中文發明摘要 (發明名稱：時脈暨資料回復電路)

本發明係提供一種時脈暨資料回復電路，其係依據一輸入資料及一相關於該輸入資料之參考時脈訊號以產生一回復時脈訊號，該電路包含一用來依據該參考時脈訊號產生 M 個相位互異之分離時脈訊號之相移器、一用來依據該輸入資料及該 M 個分離時脈訊號產生一選擇訊號之資料取樣器、一用來依據該選擇訊號輸出二相鄰之分離時脈訊號及至少一內差時脈訊號之初階相位選擇器、一用來選擇該二相鄰分離時脈訊號及該內差時脈訊號中之一作為一選定時脈訊號並輸出之多工器、一相位偵測器、以及一進階相位選擇器。

五、英文發明摘要 (發明名稱：CLOCK AND DATA RECOVERY CIRCUIT)

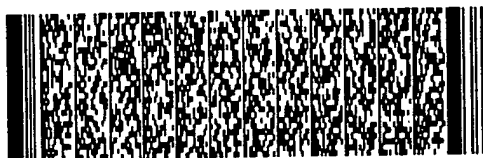
A clock and data recovery circuit for generating a re-timed clock according to input data and a reference clock corresponding to the input data has a phase shifter for generating M discrete clocks according to the reference clock, a data sampler for generating a select signal according to the input data and the M discrete clocks, a primary phase selector for outputting two



四、中文發明摘要 (發明名稱：時脈暨資料回復電路)

五、英文發明摘要 (發明名稱：CLOCK AND DATA RECOVERY CIRCUIT)

consecutive discrete clocks and at least an intervening clock according to the select signal, a multiplexer for selecting and outputting a select clock selected from a group consisting of the two consecutive discrete clocks and the intervening clock, a phase detector, and an advanced phase selector.



六、指定代表圖

(一)、本案代表圖為：第 ___四___圖

(二)、本案代表圖之元件代表符號簡單說明：

50 時脈暨資料回復電路

52 相移器

54 計數器

56 資料取樣器

58 初階相位選擇器

60 多工器

62 相位偵測器

64 進階相位選擇器



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

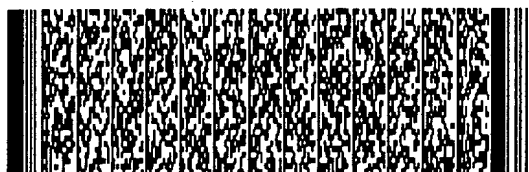
【技術領域】

本發明係相關於一種串列資料傳輸系統 (serial data communications)，尤指一種應用於串列資料傳輸系統中之時脈暨資料回復電路 (clock and data recovery circuit, CDR)。

【先前技術】

相較於並列資料傳輸系統 (parallel data communications)，串列資料傳輸系統具有體積小及傳輸距離遠之優點。雖然串列資料傳輸系統之資料傳輸速率較並列資料傳輸系統之資料傳輸速率為慢，然而近年來，一些如 USB1.1 及 USB2.0 之串列資料傳輸裝置已彌補傳輸速率較慢之缺點，其中 USB1.1 之資料傳輸速率可達 12Mbps，而 USB2.0 之資料傳輸速率更可高達 480Mbps。

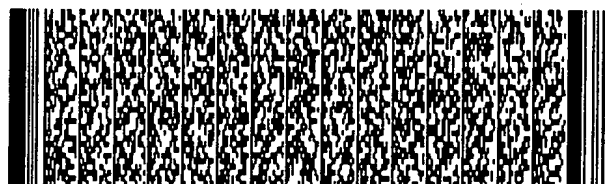
請參閱圖一為習知一串列資料傳輸系統之示意圖。串列資料傳輸系統 10 包含一用來發送資料之發送器 12、一連接於發送器 12 用來傳輸資料之串列匯流排 14、及一用來接收串列匯流排 14 所傳來之資料之接收器 16。請參閱圖二為串列資料傳輸系統 10 中發送器 12 之輸出資料 DATA_{out} 及接收器 16 所接收到之輸入資料 DATA_{in} 之波形圖。由圖二中可以看出接收器 16 所接收到之輸入資料 DATA_{in} 係不



五、發明說明 (2)

同步於發送器 12 所發送之輸出資料 $DATA_{out}$ ，亦即輸入資料 $DATA_{in}$ 之相位係不同於輸出資料 $DATA_{out}$ 之相位，因此，接收器 16 內必需包含一時脈暨資料回復電路 (以下簡稱 CDR) 20，以儘可能地對存在於輸入資料 $DATA_{in}$ 與輸出資料 $DATA_{out}$ 間之相位差作調整，以達成正確地判讀輸入資料 $DATA_{in}$ 。

圖一中所顯示之接收器 16 包含一用以加強信號之前端放大器 18 與一 CDR 20，其中 CDR 20 可為一兼具類比型 CDR 之高資料傳輸速率及數位型 CDR 之低雜訊干擾的優點之混合型 CDR (hybrid)，CDR 20 依據輸入資料 $DATA_{in}$ 以產生對應之回復資料 $DATA_{rd}$ (recovery data) 及回復時脈訊號 CLK_{rt} (re-time clock)。CDR 20 包含一依據一參考時脈訊號 CLK_{re} 產生複數個相位互異之分離時脈訊號 CLK_{dis} 之相移器 22 (舉例來說，相移器 22 產生 24 個相位互異之分離時脈訊號 CLK_0 至 CLK_{345} ，換言之，任二相鄰之分離時脈訊號 CLK_{dis} 間之相位差皆等於十五度)、一用來計算輸入資料 $DATA_{in}$ 中由 "0" 變化至 "1" 之升緣 (rising edge) 數以決定開始取樣的之計數器 24、一接收該 24 個分離時脈訊號 CLK_0 至 CLK_{345} 與輸入資料 $DATA_{in}$ 並據以輸出一選擇訊號 CS 之資料取樣器 26 (選擇訊號 CS 係相關於輸入資料 $DATA_{in}$ 之升緣係落於該 24 個分離時脈訊號 CLK_0 至 CLK_{345} 中那兩個相鄰之分離時脈訊號 CLK_{dis} 之間)、一電連接於資料取樣器 26 之相位選擇器 28、一用來依據相位選擇器 28 所輸出之相

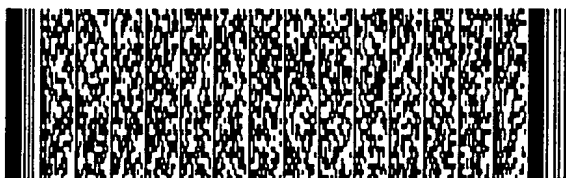


五、發明說明 (3)

位選擇訊號 PS 以對 24 個分離時脈訊號 CLK_0 至 CLK_{345} 選擇其一輸出之多工器 30、以及一用來依據多工器 30 所輸出之選定時脈訊號 CLK_{cs} 與輸入資料 $DATA_{in}$ 間之相位差來修正相位選擇器 28 所輸出之相位選擇訊號 PS 之相位偵測器 32。其中，相移器 22 之參考時脈訊號 CLK_{ref} 之頻率約等於發送器 12 所發送之輸出資料 $DATA_{out}$ 之頻率。

請參閱圖三為 CDR 20 中資料取樣器 26 之內部電路圖。資料取樣器 26 包含 24 個 D 型正反器 34，所有 D 型正反器 34 之時脈輸入端 CLK 皆電連接於輸入資料 $DATA_{in}$ ，而 D 型正反器 34 之訊號輸入端 D 係分別電連接於相移器 22 所產生之分離時脈訊號 CLK_0 至 CLK_{345} 。D 型正反器 34 之訊號輸出端 Q 可顯示出輸入資料 $DATA_{in}$ 之升緣係落於該 24 個分離時脈訊號 CLK_0 至 CLK_{345} 中那兩個相鄰之分離時脈訊號之間。舉例來說，若輸入資料 $DATA_{in}$ 之升緣係落於分離時脈訊號 CLK_{135} 及 CLK_{150} 之間，資料取樣器 26 所輸出之選擇訊號 CS 例如為 003FFFx，代表對多工器 30 選擇的分離時脈訊號 CLK_{dis} 為 CLK_{150} （或 CLK_{135} ）。

CDR 20 之運作過程略述如下（在計數器 24 計算 CDR 20 所接收到之輸入資料 $DATA_{in}$ 中之升緣數大於一預定值後，即第二、三筆資料以後較穩定下）：在判讀輸入資料 $DATA_{in}$ 之升緣係落於例如分離時脈訊號 CLK_{135} 及分離時脈訊號 CLK_{150} 之間後，資料取樣器 26 產生對應於分離時脈訊號



五、發明說明 (4)

CLK_{150} 之選擇訊號 $CS(003FFFx)$; 之後, 相位選擇器 28 依據選擇訊號 CS 與相位偵測器 32 所產生之校正訊號 CR , 產生一相位選擇訊號 PS , 以控制多工器 30 輸出分離時脈訊號 CLK_{135} 、分離時脈訊號 CLK_{150} 及分離時脈訊號 CLK_{165} 中之一作為選定時脈訊號 CLK_{cs} ; 最後, 輸出於多工器 30 之選定時脈訊號 CLK_{cs} 即為回復時脈訊號 CLK_{rt} , 而回復時脈訊號 CLK_{rt} 觸發輸入資料 $DATA_{in}$ 之結果即為回復資料 $DATA_{rd}$ 。

由於相移器 22 產生之分離時脈訊號 CLK_{dis} 傳輸至多工器 30 的過程中, 難免會有相位的偏移, 因此, 多工器 30 實際上所輸出之選定時脈訊號 CLK_{cs} 仍與理想上對應於輸入資料 $DATA_{in}$ 之理想分離時脈訊號 CLK_{ideal} 有差異, 因此多工器 30 所輸出之選定時脈訊號 CLK_{cs} 並不見得就是輸入資料 $DATA_{in}$ 所真正對應之回復時脈訊號 CLK_{rt} 。而相位偵測器 32 就是用來依據選定時脈訊號 CLK_{cs} 與輸入資料 $DATA_{in}$ 間之相位關係, 來進一步修正資料取樣器 26 所輸出之選擇訊號 CS , 而於相位選擇器 28 上產生相位選擇訊號 PS , 以進一步控制多工器 30 輸出選定時脈訊號 CLK_{cs} 或選定時脈訊號 CLK_{cs} 之前一或後一分離時脈訊號 CLK_{dis} 。詳言之, 若相位偵測器 32 偵測出選定時脈訊號 CLK_{cs} 係落後於輸入資料 $DATA_{in}$, 則相位偵測器 32 所發出之校正訊號 CR 會累加一於資料取樣器 26 接下來所產生之選擇訊號 CS 以形成相位選擇訊號 PS 。舉例來說, 若多工器 30 所輸出之分離時脈



五、發明說明 (5)

訊號 CLK_{180} (亦即選定時脈訊號 CLK_{cs}) 係落後於輸入資料 $DATA_{in}$, 則相位偵測器 32 所發出之校正訊號 CR 會累加一於資料取樣器 26 所產生之選擇訊號 CS 以形成相位選擇訊號 PS, 亦即, 若多工器 30 受控於資料取樣器 26 依據接下來之輸入資料 $DATA_{in}$ 所產生之選擇訊號 CS 原本應輸出分離時脈訊號 CLK_{180} , 今由於校正訊號 CR 之累加一作用, 而改輸出分離時脈訊號 CLK_{195} 。反之, 若多工器 30 所輸出之分離時脈訊號 CLK_{180} (亦即選定時脈訊號 CLK_{cs}) 係領先於輸入資料 $DATA_{in}$, 則相位偵測器 32 所發出之校正訊號 CR 會累減一於資料取樣器 26 所產生之選擇訊號 CS 以形成相位選擇訊號 PS, 亦即, 若多工器 30 受控於資料取樣器 26 依據接下來之輸入資料 $DATA_{in}$ 所產生之選擇訊號 CS 原本應輸出分離時脈訊號 CLK_{180} , 今由於校正訊號 CR 之累減一作用, 而改輸出分離時脈訊號 CLK_{165} 。

就 CDR 20 而言, 相移器 22 所產生之分離時脈訊號 CLK_{dis} 之多寡係直接相關於輸入資料 $DATA_{in}$ 所能忍受之相位抖動 (phase jitter) 的大小, 亦即, 相移器 22 所產生之分離時脈訊號 CLK_{dis} 越多, CDR 20 所產生之回復時脈訊號 CLK_{rt} 就越同步於輸入資料 $DATA_{in}$, 輸入資料 $DATA_{in}$ 就能忍受較大的相位抖動, 而 CDR 20 所產生之回復資料 $DATA_{rd}$ 也就更正確, CDR 20 所產生之回復資料 $DATA_{rd}$ 也對應地具有較低之位元錯誤率 (bit error rate, BER)。然而, 為了能儘可能正確地判讀輸入資料 $DATA_{in}$, CDR 20 中之資料取



五、發明說明 (6)

樣器 26 必需包含足夠數量之 D 型正反器 (或任何具有相位延遲電路實現)，而這些 D 型正反器不僅需占據 CDR 20 所在之積體電路非常大的面積外，這些 D 型正反器尚會消耗大量的功率。

【內容】

因此本發明之主要目的在於提供一種時脈暨資料回復電路，可降低資料取樣器 26 內 D 型正反器數目，以解決習知技術之缺點。

本發明係揭露一種時脈暨資料回復電路，依據一輸入資料及一相關於該輸入資料之參考時脈訊號，產生一回復時脈訊號，包含：一相移器，依據該參考時脈訊號，產生 M 個相位互異之分離時脈訊號；一資料取樣器，依據該輸入資料及該 M 個分離時脈訊號，產生一選擇訊號；一初階相位選擇器，依據該選擇訊號，輸出二相鄰之分離時脈訊號及至少一內差時脈訊號，該內差時脈訊號之相位係介於該二相鄰之分離時脈訊號之相位間；一多工器，選擇該二相鄰分離時脈訊號及該內差時脈訊號中之一，作為一選定時脈訊號並輸出；一相位偵測器，接收該選定時脈訊號，作為該回復時脈訊號，若該回復時脈訊號領先或落後該輸入資料時，輸出一進階校正訊號；以及一進階相位選擇器，接收該進階校正訊號，送出該相位



五、發明說明 (7)

選擇訊號到該多工器，用以調整該選定時脈訊號之選擇，與一初階校正訊號到該初階相位選擇器，用以調整該二相鄰之分離時脈訊號及對應的至少一內差時脈訊號。

由於本發明之時脈暨資料回復電路之相移器及資料取樣器中僅需包含少量之 D 型正反器，於選擇該選定時脈訊號時所不足的時脈訊號可藉由內差二相鄰之分離時脈訊號之方式產生，因此，本發明之時脈暨資料回復電路具有較小的體積，當然也就只會消耗較少的功率。

【實施方法】

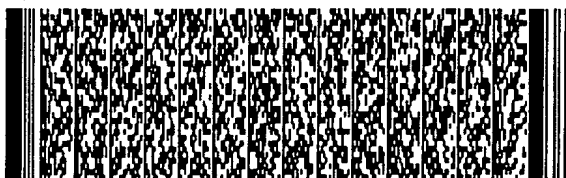
本發明之較佳實施例中之 CDR 的相移器所產生較少於習知數目的 M 個分離時脈訊號 CLK_{dis} ，再從任二相鄰之分離時脈訊號 CLK_{dis} ，以內差方式引導出至少一內差時脈訊號 CLK_{int} ，連同該二相鄰之分離時脈訊號 CLK_{dis} 以形成一組時脈訊號，接著，再從該組時脈訊號中選擇一較為同步於一輸入資料 $DATA_{in}$ 之選定時脈訊號 CLK_{cs} 。由於以內差方式引導出至少一內差時脈訊號 CLK_{int} 只要一組共用電路就可達成，因此不需要如習知以大量 D 型正反器來達成資料取樣器，因此可以大幅減少 D 型正反器數量及其所佔體積，而使製造成本大幅降低。



五、發明說明 (8)

請參閱圖四為本發明之較佳實施例中一 CDR 之功能方塊圖。CDR 50 包含一相移器 52、一電連接於相移器 52 之資料取樣器 56、一電連接於相移器 52 及資料取樣器 56 之初階相位選擇器 58、一電連接於初階相位選擇器 58 之多工器 60、一電連接於多工器 60 之相位偵測器 62、一電連接於資料取樣器 56 及相位偵測器 62 之計數器 54、及一電連接於多工器 60、初階相位選擇器 58 及相位偵測器 62 之進階相位選擇器 64。

相移器 52 可為類比式鎖相迴路 (analog phase-locked loop, APLL) 或延遲鎖相迴路 (delay-locked loop, DLL)，係依據一參考時脈訊號 CLK_{ref} 產生複數個相位互異之分離時脈訊號 CLK_{dis} ，在本發明之較佳實施例因使用內差方式產生分離時脈，所以相移器 52 可以降低到只產生 8 個相位互異之分離時脈訊號 CLK_0 至 CLK_{315} ，即任二相鄰之分離時脈訊號 CLK_{dis} 間之相位差皆等於 45 度。資料取樣器 56 則依據輸入資料 $DATA_{in}$ 之升緣所在之位置產生選擇訊號 CS。請參閱圖五為本發明之較佳實施例中 CDR 50 中資料取樣器 56 之內部電路圖，資料取樣器 56 之結構係相似於習知 CDR 20 中資料取樣器 26 之結構，只是在此資料取樣器 56 係以輸入資料 $DATA_{in}$ 來取樣較少的 8 個分離時脈訊號 CLK_0 至 CLK_{315} ，以輸出選擇訊號 CS。此外，多工器 60、相位偵測器 62 及計數器 54 之功能係分別相同於習知 CDR 20 中之多工器 30、相位偵測器 32 及計數器 24 之功能，所



五、發明說明 (9)

以於此不再贅述。

CDR 50之運作過程說明如下(在計數器 54計算 CDR 50所接收到之輸入資料 $DATA_{in}$ 中之升緣數大於一預定值, 例如第二、三筆資料以後, 而輸出於進階相位選擇器 64之初階校正訊號 CR_p 及相位選擇訊號 PS之預設值也皆已設定完畢, 此說明留待後述): 在判讀輸入資料 $DATA_{in}$ 之升緣係落於例如分離時脈訊號 CLK_{135} 及分離時脈訊號 CLK_{180} 之間後, 資料取樣器 56產生對應於分離時脈訊號 CLK_{180} (或 CLK_{135}) 之選擇訊號 CS; 之後, 初階相位選擇器 58依據選擇訊號 CS與進階相位選擇器 64所產生之初階校正訊號 CR_p 輸出分離時脈訊號 CLK_{135} 、分離時脈訊號 CLK_{180} (二相鄰之分離時脈訊號 CLK_{dis}) 及由分離時脈訊號 CLK_{135} 及分離時脈訊號 CLK_{180} 所內差出之分離時脈訊號 CLK_{150} 及分離時脈訊號 CLK_{165} (CLK_{150} 及 CLK_{165} 代表至少有一內差於該二相鄰之分離時脈訊號 CLK_{dis} 之內差時脈訊號 CLK_{int}); 多工器 60依據進階相位選擇器 64所產生之相位選擇訊號 PS, 選擇輸出分離時脈訊號 CLK_{135} 、內差時脈訊號 CLK_{150} 、內差時脈訊號 CLK_{165} 及分離時脈訊號 CLK_{180} 中之一作為選定時脈訊號 CLK_{cs} ; 最後, 輸出於多工器 60之選定時脈訊號 CLK_{cs} 即為回復時脈訊號 CLK_{rt} , 而回復時脈訊號 CLK_{rt} 觸發輸入資料 $DATA_{in}$ 之結果即為回復資料 $DATA_{rd}$ 。

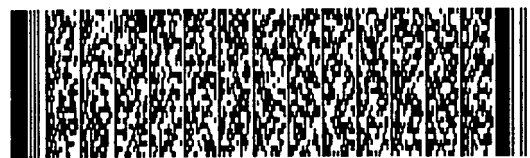
同樣地, CDR 50中之相位偵測器 62也會依據選定時脈訊



五、發明說明 (10)

號 CLK_{cs} 與輸入資料 $DATA_{in}$ 間之相位差以輸出用來修正多工器 60 之輸出選定時脈訊號 CLK_{cs} 之相關訊號，在本發明之較佳實施例中，相位偵測器 62 輸出的修正相關訊號為進階校正訊號 CR_a 。

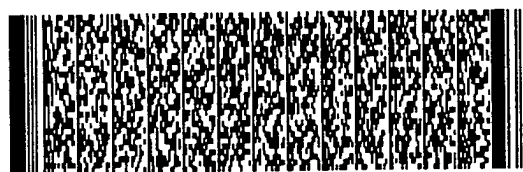
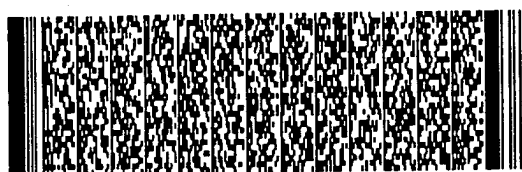
請參閱圖六為本發明之較佳實施例中相位選擇訊號 CS 之變化示意圖。假設相位選擇訊號 PS 之預設值係設定成 10b，亦即多工器 60 依據相位選擇訊號 PS(10b) 輸出該四個分離時脈訊號 CLK_{135} 、 CLK_{150} 、 CLK_{165} 及 CLK_{180} 中第二領先之分離時脈訊號 CLK_{dis} (亦即分離時脈訊號 CLK_{165})，若相位偵測器 62 又偵測出分離時脈訊號 CLK_{165} (亦即選定時脈訊號 CLK_{cs}) 係落後於輸入資料 $DATA_{in}$ ，相位偵測器 62 就會輸出一進階校正訊號 CR_a ，使相位選擇訊號 PS 累加 1 (相位選擇訊號 PS 被校正成 11b)，使多工器 60 改輸出分離時脈訊號 CLK_{135} 、 CLK_{150} 、 CLK_{165} 及 CLK_{180} 中最領先之分離時脈訊號 CLK_{dis} (亦即分離時脈訊號 CLK_{180})；假設相位選擇訊號 PS 之預設值係設定成 10b，而相位偵測器 62 又偵測出分離時脈訊號 CLK_{165} (亦即選定時脈訊號 CLK_{cs}) 係領先於輸入資料 $DATA_{in}$ ，相位偵測器 62 就會輸出一進階校正訊號 CR_a ，使相位選擇訊號 PS 累減 1 (相位選擇訊號 PS 被校正成 01b)，使多工器 60 改輸出分離時脈訊號 CLK_{135} 、 CLK_{150} 、 CLK_{165} 及 CLK_{180} 中第三領先之分離時脈訊號 CLK_{dis} (亦即分離時脈訊號 CLK_{150})。



五、發明說明 (11)

若相位選擇訊號 PS 已屆 11b (再加上 1 則需進位)，而相位偵測器 62 又偵測出分離時脈訊號 CLK_{180} (亦即選定時脈訊號 CLK_{cs}) 係落後於輸入資料 $DATA_{in}$ ，由於分離時脈訊號 CLK_{135} 、 CLK_{150} 、 CLK_{165} 及 CLK_{180} 中已沒有任何分離時脈訊號 CLK_{dis} 係領先於分離時脈訊號 CLK_{180} ，因此，進階相位選擇器 64 每當相位選擇訊號 PS 由 11b 進位至 00b 時，就會輸出初階校正訊號 CR_p ，使初階相位選擇器 58 改輸出分離時脈訊號 CLK_{180} 、 CLK_{195} 、 CLK_{210} 及 CLK_{225} 至多工器 60，不再輸出分離時脈訊號 CLK_{135} 、 CLK_{150} 、 CLK_{165} 及 CLK_{180} 至多工器 60。由於此時之多工器 60 應輸出分離時脈訊號 CLK_{195} (領先於分離時脈訊號 CLK_{180})，所以相位選擇訊號 PS 此時應被設定成 01b，而不是由 11b 進位 1 而得之 00b。換言之，當偵測出相位選擇訊號 PS 需進位時，進階相位選擇器 64 會將相位選擇訊號 PS 設定成 01b。

反之，若相位選擇訊號 PS 已屆 00b (再減去 1 則需退位)，而相位偵測器 62 又偵測出分離時脈訊號 CLK_{135} (亦即選定時脈訊號 CLK_{cs}) 係領先於輸入資料 $DATA_{in}$ ，由於分離時脈訊號 CLK_{135} 、 CLK_{150} 、 CLK_{165} 及 CLK_{180} 中已沒有任何分離時脈訊號 CLK_{dis} 係落後於分離時脈訊號 CLK_{135} ，因此，進階相位選擇器 64 每當相位選擇訊號 PS 由 00b 退位至 11b 時，就會輸出初階校正訊號 CR_p ，使初階相位選擇器 58 改輸出分離時脈訊號 CLK_{90} 、 CLK_{105} 、 CLK_{120} 及 CLK_{135} 至多工器 60 不再輸出分離時脈訊號 CLK_{135} 、 CLK_{150} 、 CLK_{165} 及 CLK_{180} 至多

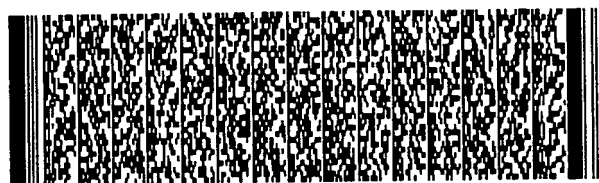
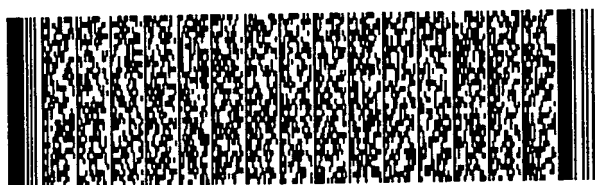


五、發明說明 (12)

工器 60。由於此時之多工器 60應輸出分離時脈訊號 CLK_{120} (落後於分離時脈訊號 CLK_{135})，所以相位選擇訊號 PS此時應被設定成 10b，而不是由 00b退位 1而得之 11b。換言之，當偵測出相位選擇訊號 PS需退位時，進階相位選擇器 64會將相位選擇訊號 PS設定成 10b。當然，上述關於相位選擇訊號 PS之進位、退位、以及重設 (reset)等步驟也可依其它方式執行之。

請參閱圖七之 CDR中初階相位選擇器 58一較佳實施電路圖，兩個不同分離時脈訊號 CLK_{dis1} 與 CLK_{dis2} ，經由複數個反相器組合形成初階相位選擇器，其中中間的反相器 A與 B我們可以適當的控制 (W/L)製程比例，而達到我們想要的內差時脈訊號 CLK_{int} ，在此以一個為例，實際可視情況而作適當延伸得到多個內差時脈訊號 CLK_{int} 。由於內差產生時脈訊號 CLK_{int} 可大量產生，因此資料取樣器 56內用以產生分離時脈訊號的 D型正反器就可以大量減少。

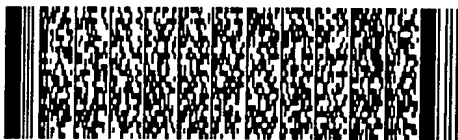
相較於習知 CDR 20，本發明之 CDR 50係包含用來僅產生 8 個相位互異之分離時脈訊號 CLK_0 至 CLK_{315} 之相移器 52及包含僅內含 8個 D型正反器之資料取樣器 56，因此本發明之 CDR 50具有較小之體積，當然也就消耗較少的功率。此外，本發明之 CDR 50中之初階相位選擇器 58也可視需要以相移器 52所產生之二相鄰之分離時脈訊號 CLK_{dis} 為基礎而內差出複數個內差時脈訊號 CLK_{int} ，因此，本發明之



五、發明說明 (13)

CDR 50之使用彈性非常大。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知一串列資料傳輸系統之示意圖。

圖二為圖一所顯示之串列資料傳輸系統中發送於一發送器之輸出資料 $DATA_{out}$ 及一接收器所接收到之輸入資料 $DATA_{in}$ 之波形圖。

圖三為圖一所顯示之串列資料傳輸系統中一 CDR 中之資料取樣器之內部電路圖。

圖四為本發明之較佳實施例中一 CDR 之功能方塊圖。

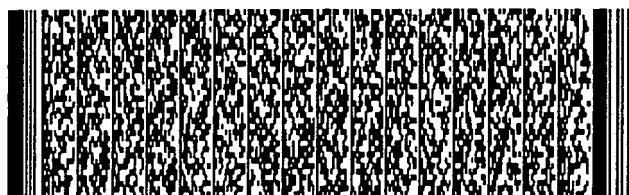
圖五為本發明之較佳實施例中一資料取樣器之電路圖。

圖六為本發明之較佳實施例中一相位選擇訊號 CS 之變化示意圖。

圖七為本發明之 CDR 中初階相位選擇器一較佳實施之電路圖。

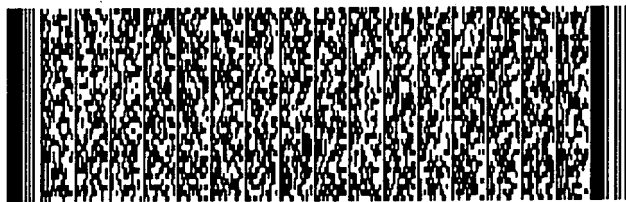
圖式之符號說明

10	串列資料傳輸系統	12	發送器
14	串列匯流排	16	接收器
20、50	時脈暨資料回復電路	22、52	相移器
24、54	計數器	26、56	資料取樣器
28	相位選擇器	30、60	多工器
32、62	相位偵測器	34	D型正反器
58	初階相位選擇器	64	進階相位選擇器



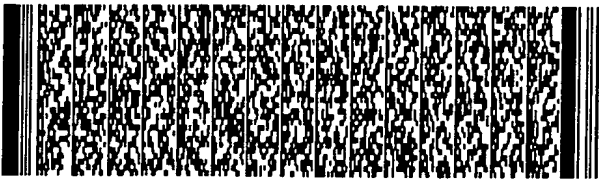
六、申請專利範圍

1. 一種時脈暨資料回復電路，依據一輸入資料及一相關於該輸入資料之參考時脈訊號，產生一回復時脈訊號，包含：
 - 一相移器，依據該參考時脈訊號，產生 M 個相位互異之分離時脈訊號；
 - 一資料取樣器，依據該輸入資料及該 M 個分離時脈訊號，產生一選擇訊號；
 - 一初階相位選擇器，依據該選擇訊號，輸出二相鄰之分離時脈訊號及至少一內差時脈訊號，該內差時脈訊號之相位係介於該二相鄰之分離時脈訊號之相位間；
 - 一多工器，選擇該二相鄰分離時脈訊號及該內差時脈訊號中之一，作為一選定時脈訊號並輸出；
 - 一相位偵測器，接收該選定時脈訊號，作為該回復時脈訊號，若該回復時脈訊號領先或落後該輸入資料時，輸出一進階校正訊號；以及
 - 一進階相位選擇器，接收該進階校正訊號，送出該相位選擇訊號到該多工器，用以調整該選定時脈訊號之選擇，與一初階校正訊號到該初階相位選擇器，用以調整該二相鄰之分離時脈訊號及對應的至少一內差時脈訊號。
2. 如申請專利範圍第 1 項所述之時脈暨資料回復電路，其中該相移器為一類比式鎖相迴路。



六、申請專利範圍

- 3.如申請專利範圍第1項所述之時脈暨資料回復電路，其中該相移器為一延遲鎖相迴路。
- 4.如申請專利範圍第1項所述之時脈暨資料回復電路，其中該資料取樣器係包含M個緣觸發正反器，該輸入資料係輸入於該M個緣觸發正反器之時脈輸入端，而該M個分離時脈訊號係分別輸入於該M個緣觸發正反器之資料輸入端。
- 5.如申請專利範圍第4項所述之時脈暨資料回復電路，其中該些緣觸發正反器，皆為D型正反器。
- 6.如申請專利範圍第1項所述之時脈暨資料回復電路，其中該回復時脈訊號可用以觸發該輸入資料以產生一回復資料。
- 7.如申請專利範圍第1項所述之時脈暨資料回復電路，更包括一計數器，連接該資料取樣器與該相位偵測器，用以確保該輸入資料之穩定，才輸出到該資料取樣器。
- 8.如申請專利範圍第1項所述之時脈暨資料回復電路，其中該回復時脈訊號落後該輸入資料時，輸出該進階校正訊號為加一，該回復時脈訊號領先該輸入資料時，輸出該進階校正訊號為減一。



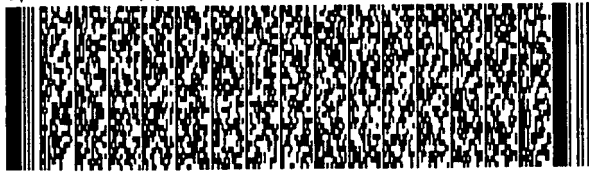
六、申請專利範圍

9. 如申請專利範圍第8項所述之時脈暨資料回復電路，其中該進階相位選擇器之相位選擇訊號係根據該該進階校正訊號而作修正，當該相位選擇訊號於多工器所選擇之二相鄰分離時脈訊號及該內差時脈訊號，皆落後或領先該輸入資料時，該進階相位選擇器才輸出該初階校正訊號。

10. 如申請專利範圍第8項所述之時脈暨資料回復電路，其中該初階相位選擇器係由複數個反相器構成，以該二相鄰之分離時脈訊號，使用不同(W/L)製程比例之反相器，可形成至少一內差時脈訊號。



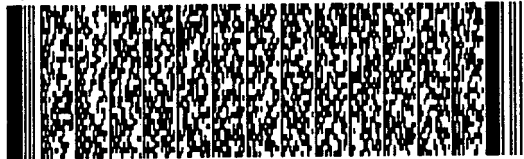
第 1/22 頁



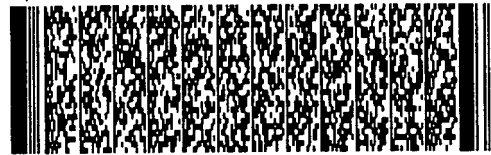
第 2/22 頁



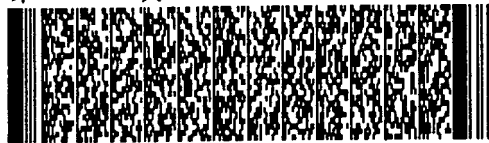
第 2/22 頁



第 3/22 頁



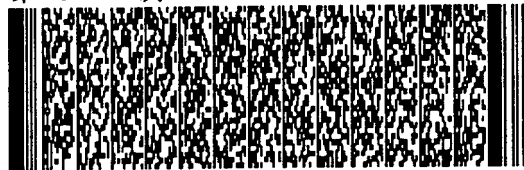
第 4/22 頁



第 5/22 頁



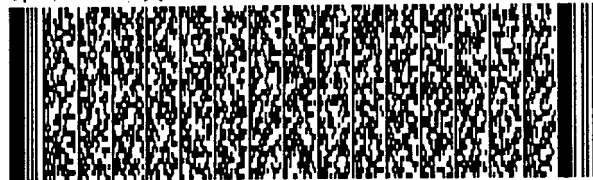
第 6/22 頁



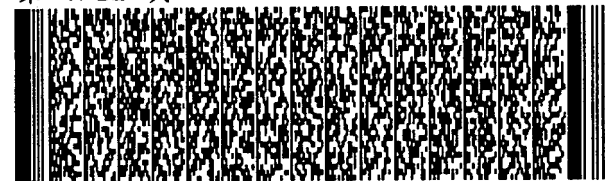
第 6/22 頁



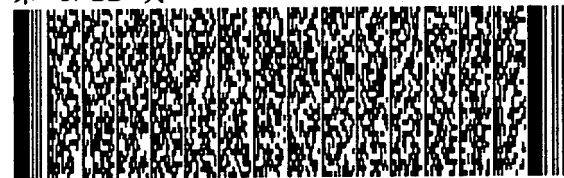
第 7/22 頁



第 7/22 頁



第 8/22 頁



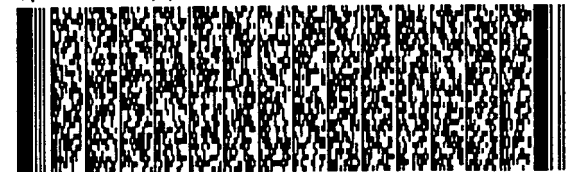
第 8/22 頁



第 9/22 頁



第 9/22 頁



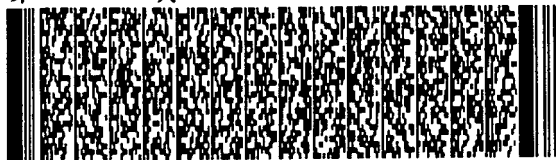
第 10/22 頁



第 10/22 頁



第 11/22 頁



第 11/22 頁



第 12/22 頁



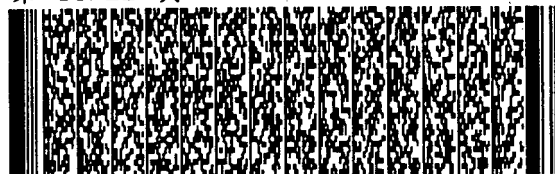
第 12/22 頁



第 13/22 頁



第 13/22 頁



第 14/22 頁



第 14/22 頁



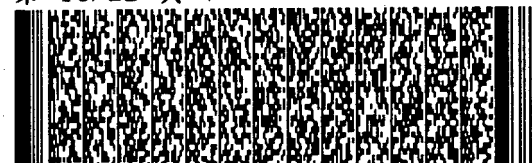
第 15/22 頁



第 15/22 頁



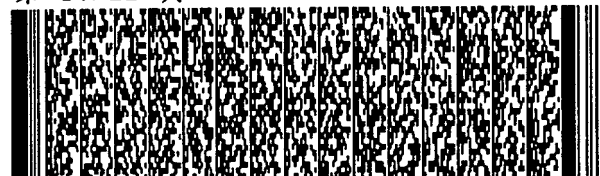
第 16/22 頁



第 16/22 頁



第 17/22 頁



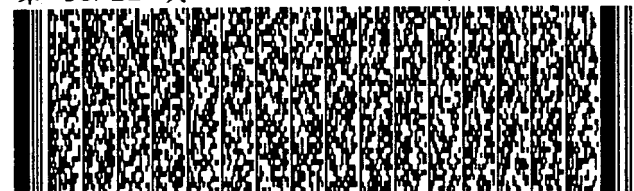
第 17/22 頁



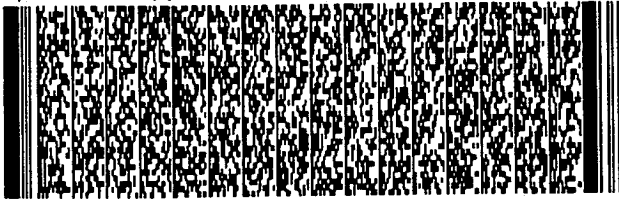
第 18/22 頁



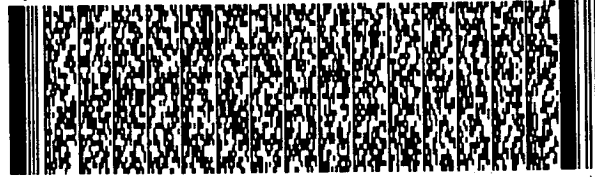
第 19/22 頁



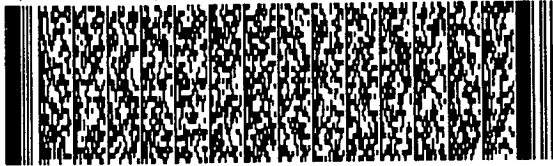
第 20/22 頁



第 21/22 頁



第 22/22 頁



圖式簡單說明



六、申請專利範圍

1. 一種時脈暨資料回復電路，依據一輸入資料及一相關於該輸入資料之參考時脈訊號，產生一回復時脈訊號，包含：

一相移器，依據該參考時脈訊號，產生M個相位互異之分離時脈訊號；

一資料取樣器，依據該輸入資料及該M個分離時脈訊號，產生一選擇訊號；

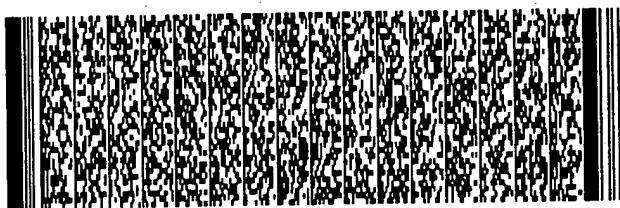
一初階相位選擇器，依據該選擇訊號，輸出二相鄰之分離時脈訊號及至少一內差時脈訊號，該內差時脈訊號之相位係介於該二相鄰之分離時脈訊號之相位間；

一多工器，選擇該二相鄰分離時脈訊號及該內差時脈訊號中之一，作為一選定時脈訊號並輸出；

一相位偵測器，接收該選定時脈訊號，作為該回復時脈訊號，若該回復時脈訊號領先或落後該輸入資料時，輸出一進階校正訊號；以及

一進階相位選擇器，接收該進階校正訊號，送出該相位選擇訊號到該多工器，用以調整該選定時脈訊號之選擇，與一初階校正訊號到該初階相位選擇器，用以調整該二相鄰之分離時脈訊號及對應的至少一內差時脈訊號。

2. 如申請專利範圍第1項所述之時脈暨資料回復電路，其中該相移器為一類比式鎖相迴路。



六、申請專利範圍

3.如申請專利範圍第1項所述之時脈暨資料回復電路，其中該相移器為一延遲鎖相迴路。

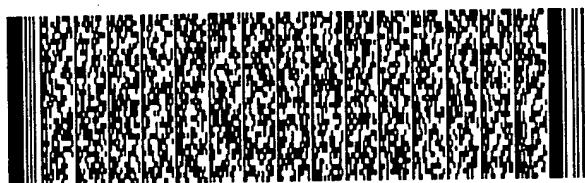
4.如申請專利範圍第1項所述之時脈暨資料回復電路，其中該資料取樣器係包含M個緣觸發正反器，該輸入資料係輸入於該M個緣觸發正反器之時脈輸入端，而該M個分離時脈訊號係分別輸入於該M個緣觸發正反器之資料輸入端。

5.如申請專利範圍第4項所述之時脈暨資料回復電路，其中該些緣觸發正反器，皆為D型正反器。

6.如申請專利範圍第1項所述之時脈暨資料回復電路，其中該回復時脈訊號可用以觸發該輸入資料以產生一回復資料。

7.如申請專利範圍第1項所述之時脈暨資料回復電路，更包括一計數器，連接該資料取樣器與該相位偵測器，用以確保該輸入資料之穩定，才輸出到該資料取樣器。

8.如申請專利範圍第1項所述之時脈暨資料回復電路，其中該回復時脈訊號落後該輸入資料時，輸出該進階校正訊號為加一，該回復時脈訊號領先該輸入資料時，輸出該進階校正訊號為減一。

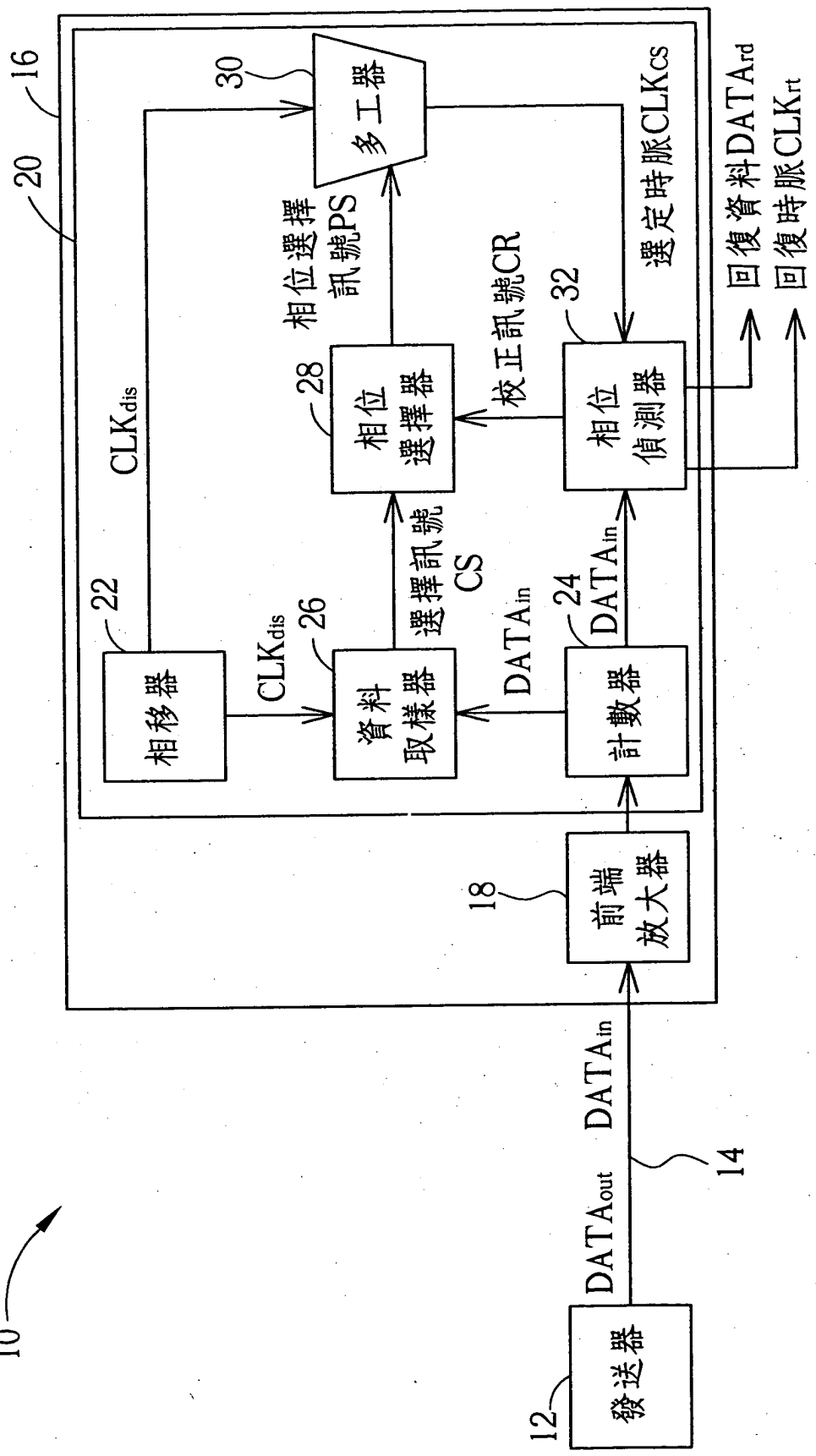


六、申請專利範圍

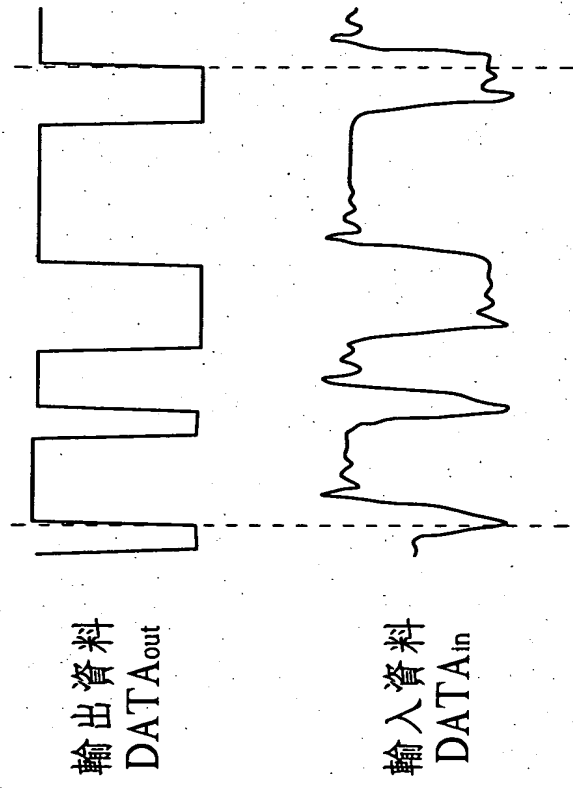
9. 如申請專利範圍第8項所述之時脈暨資料回復電路，其中該進階相位選擇器之相位選擇訊號係根據該該進階校正訊號而作修正，當該相位選擇訊號於多工器所選擇之二相鄰分離時脈訊號及該內差時脈訊號，皆落後或領先該輸入資料時，該進階相位選擇器才輸出該初階校正訊號。
10. 如申請專利範圍第8項所述之時脈暨資料回復電路，其中該初階相位選擇器係由複數個反相器構成，以該二相鄰之分離時脈訊號，使用不同(W/L)製程比例之反相器，可形成至少一內差時脈訊號。



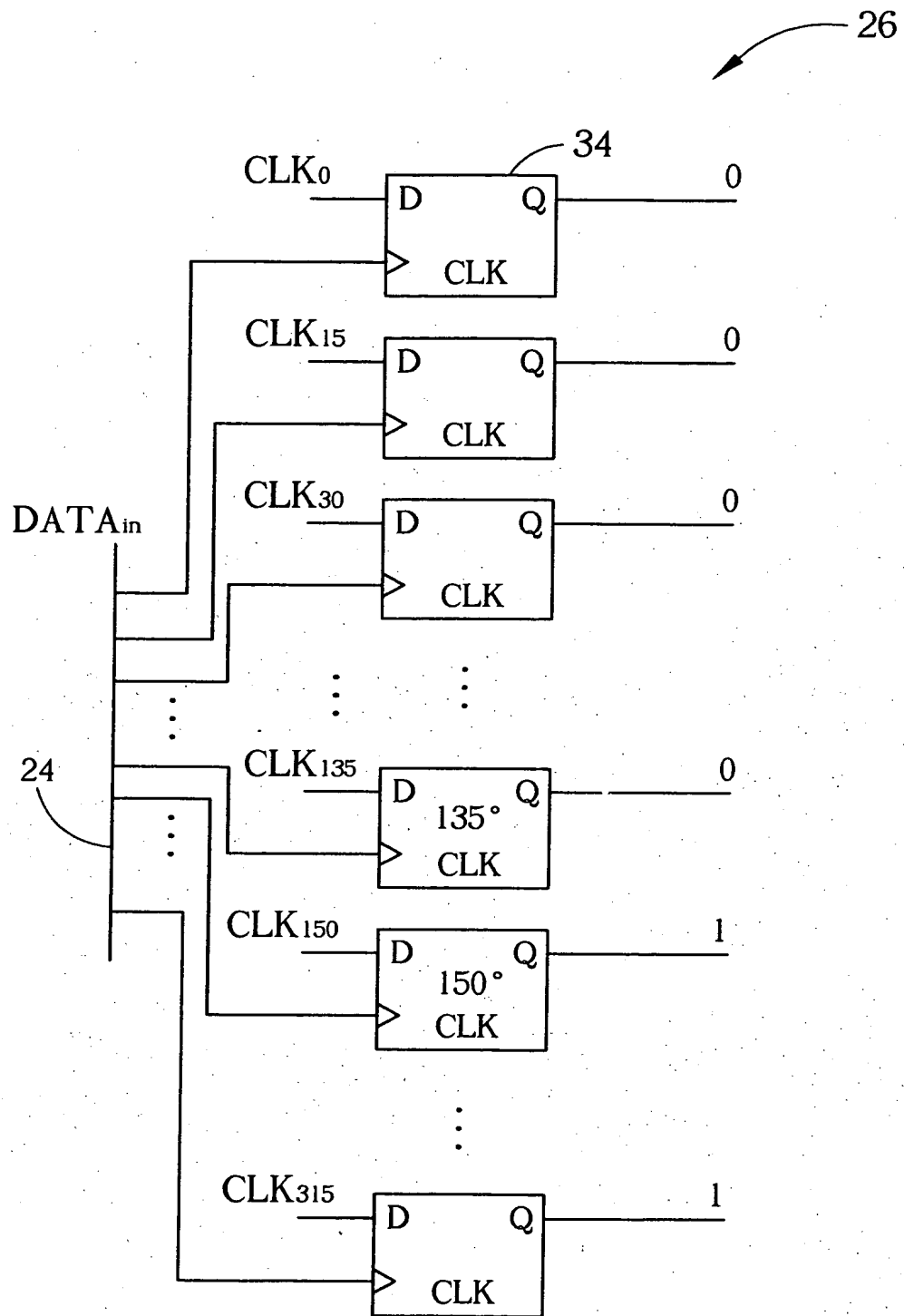
10



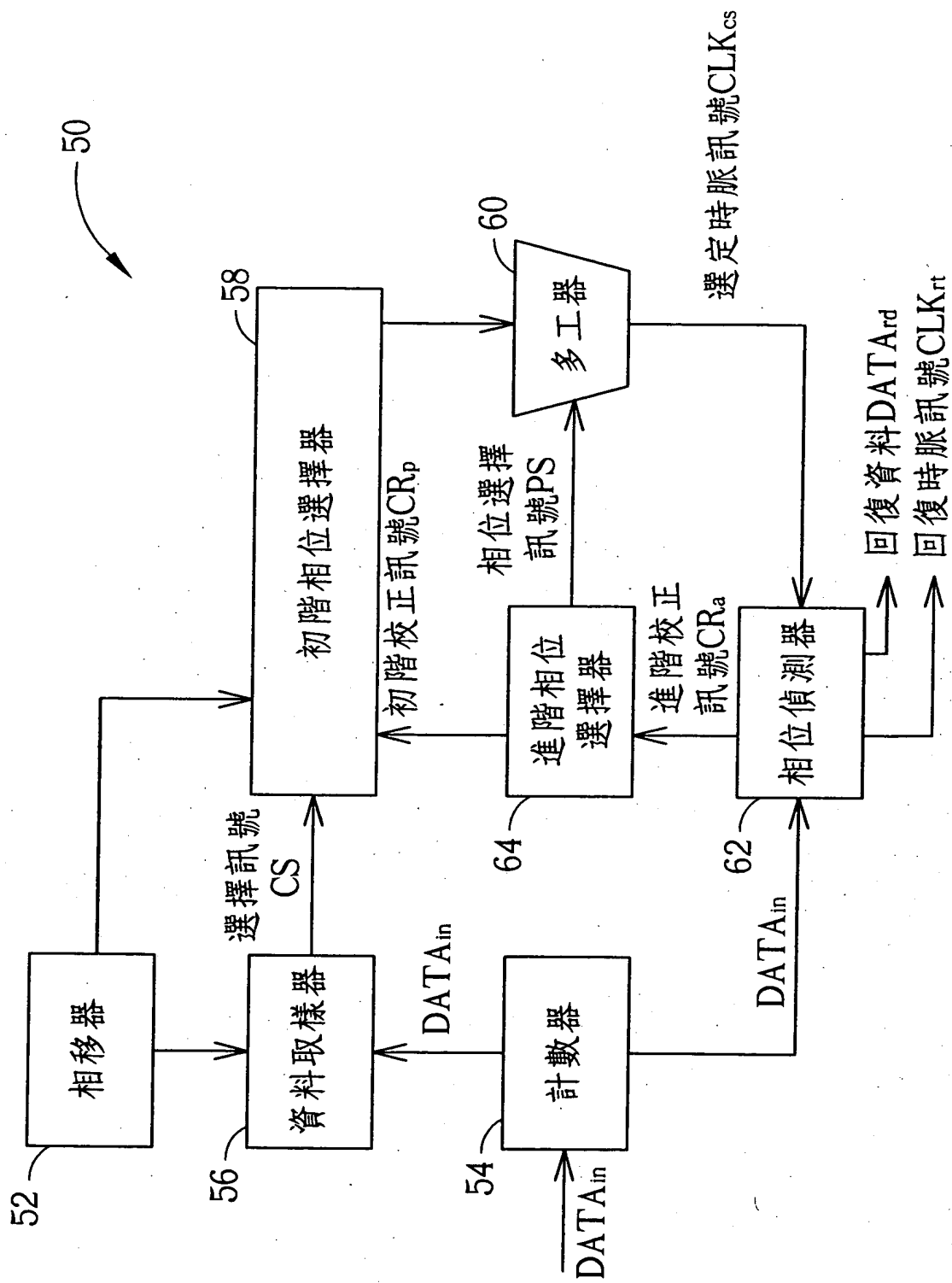
圖一



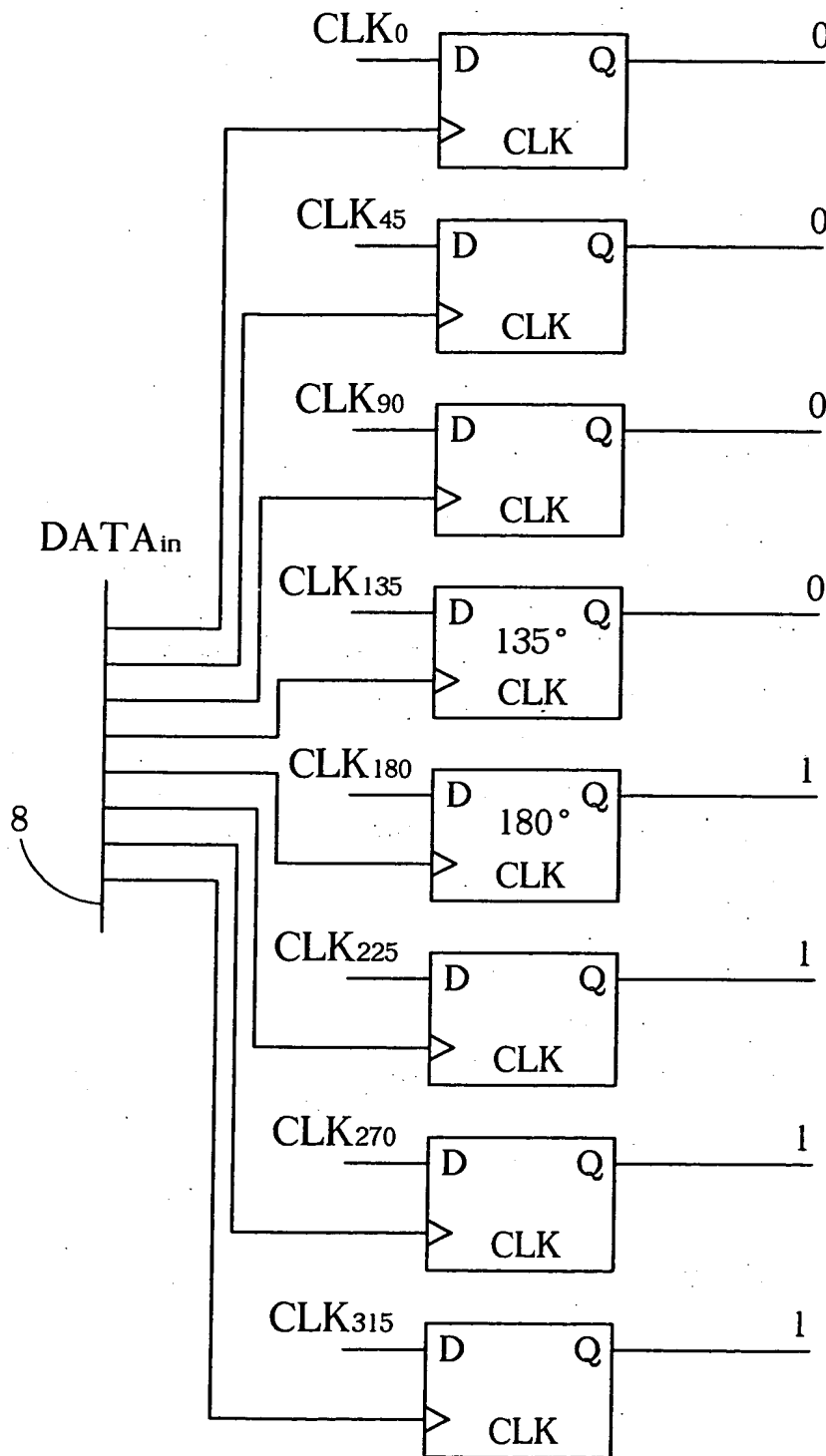
圖二



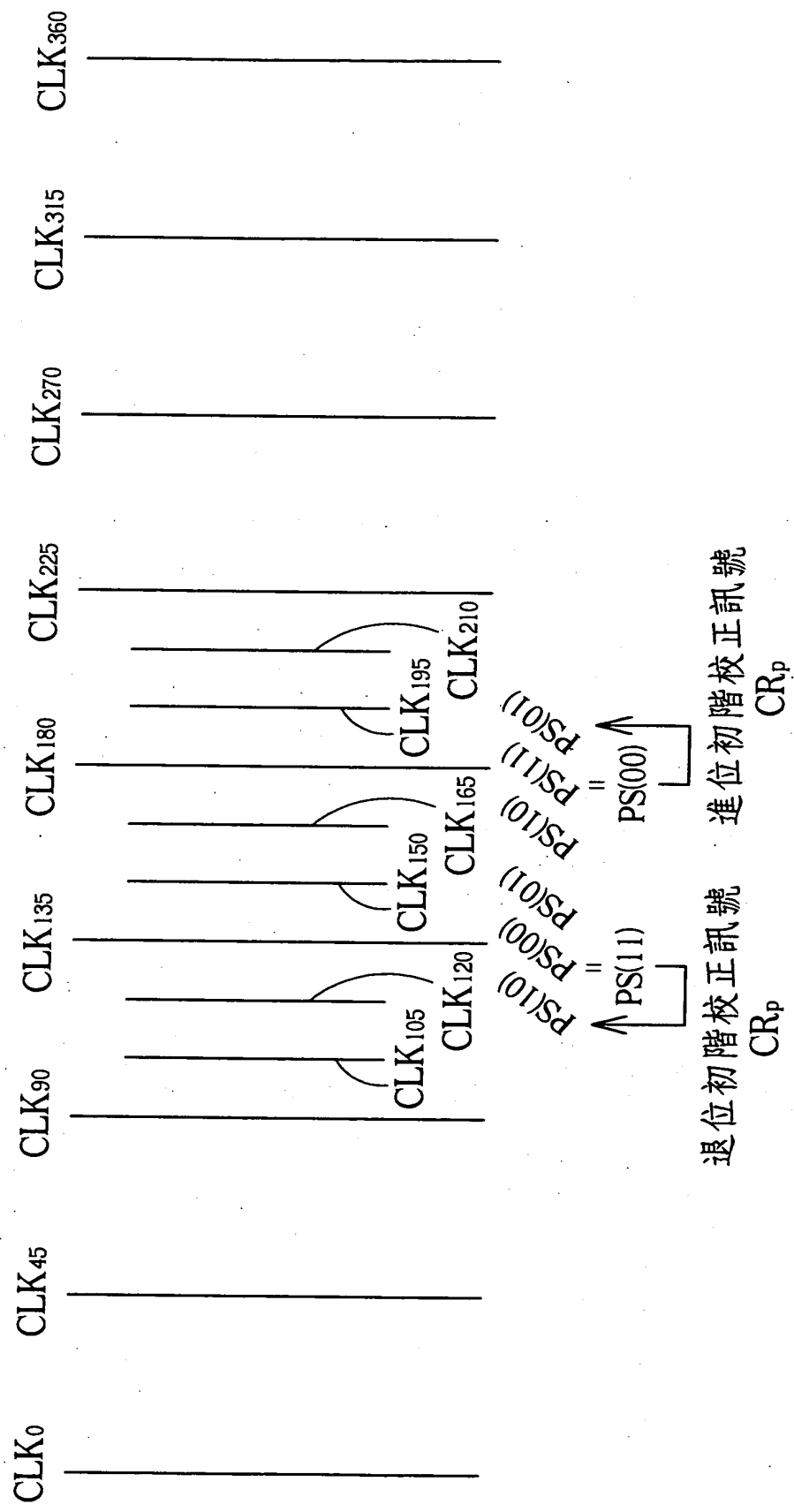
圖三



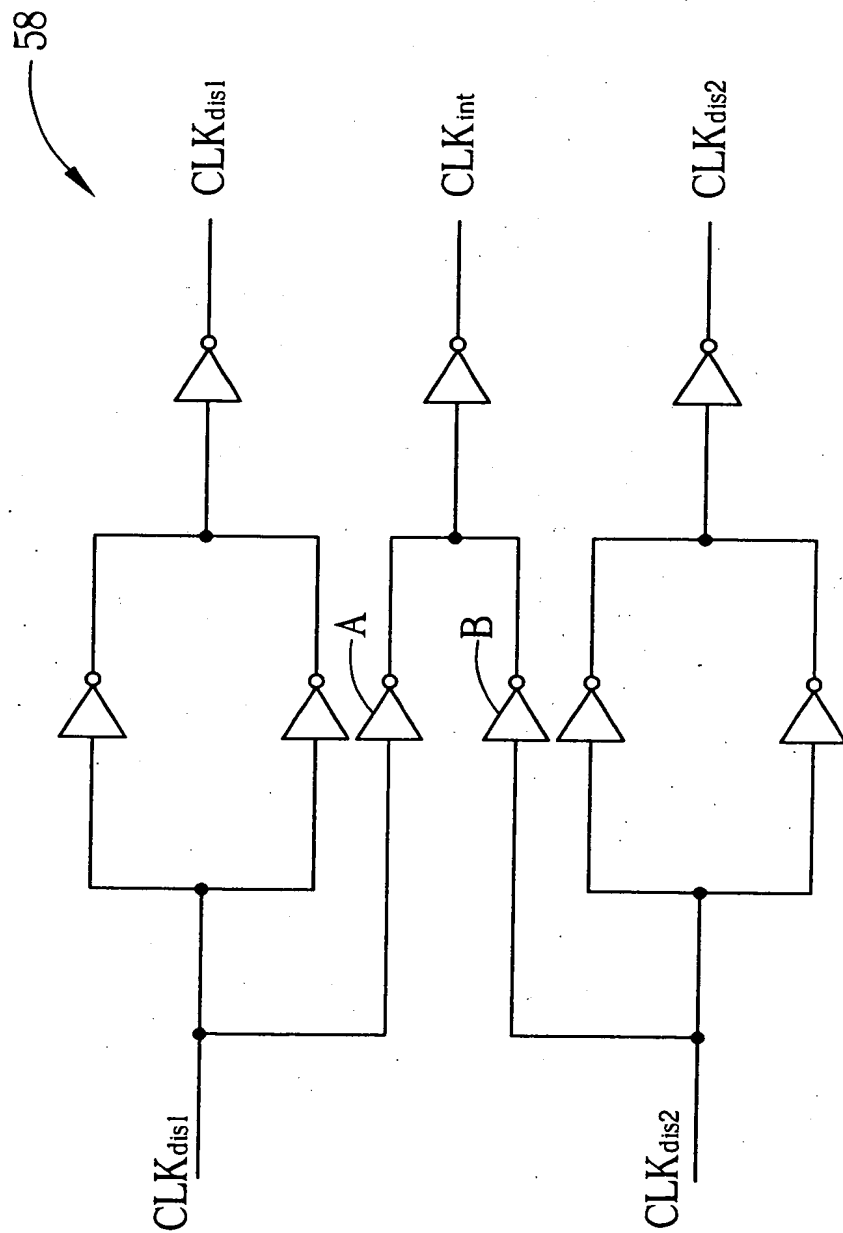
圖四



圖五

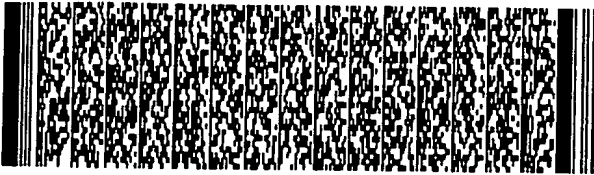


圖六



圖七

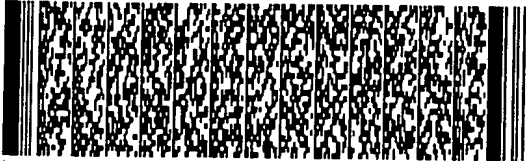
第 1/23 頁



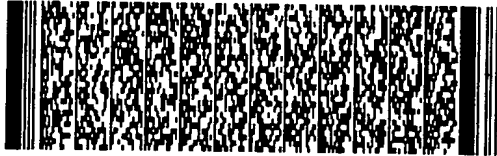
第 2/23 頁



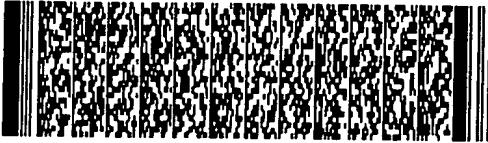
第 2/23 頁



第 3/23 頁



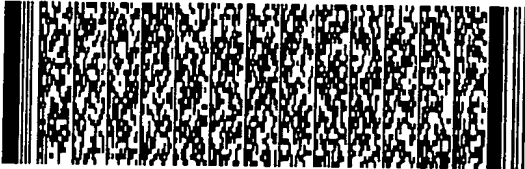
第 4/23 頁



第 5/23 頁



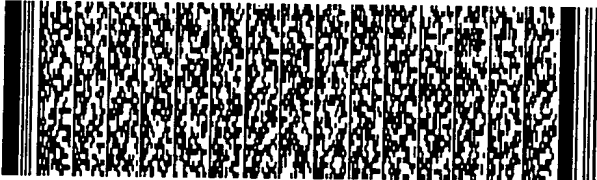
第 6/23 頁



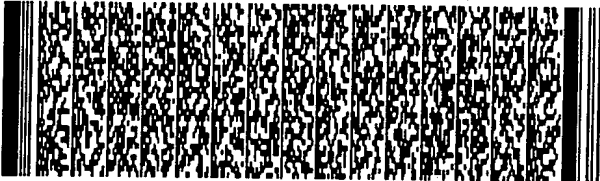
第 6/23 頁



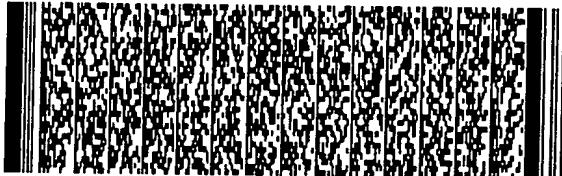
第 7/23 頁



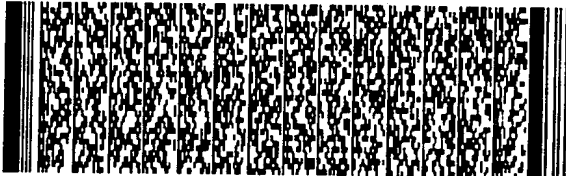
第 7/23 頁



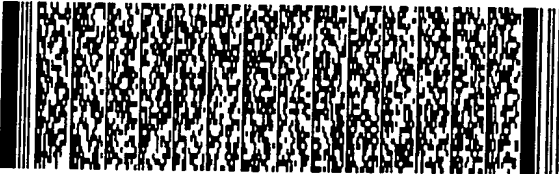
第 8/23 頁



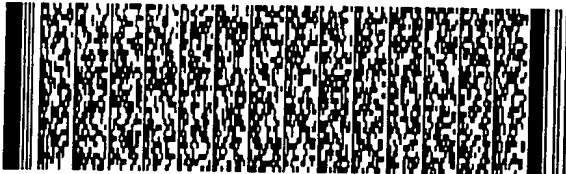
第 8/23 頁



第 9/23 頁



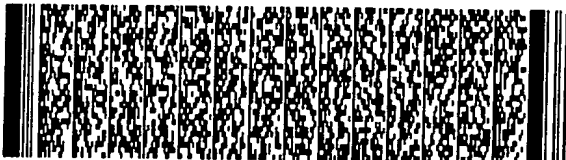
第 9/23 頁



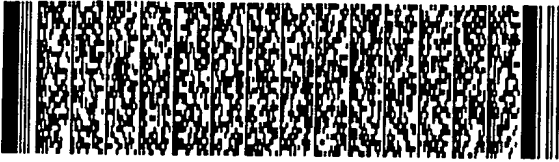
第 10/23 頁



第 10/23 頁



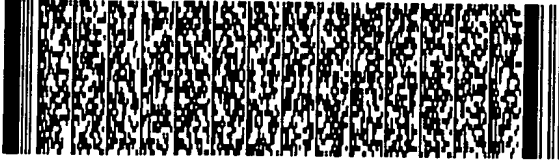
第 11/23 頁



第 11/23 頁



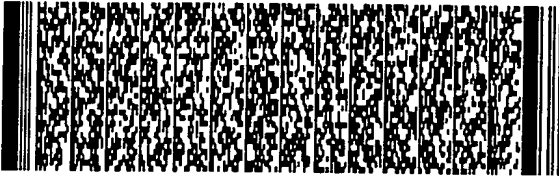
第 12/23 頁



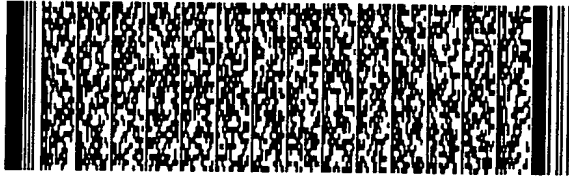
第 12/23 頁



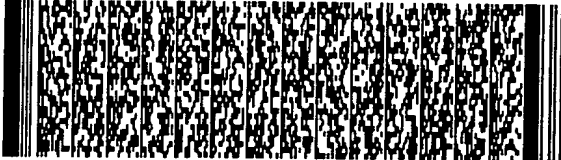
第 13/23 頁



第 13/23 頁



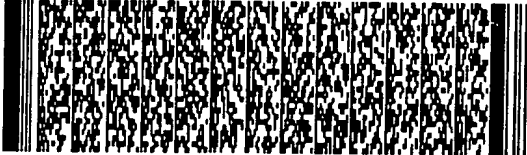
第 14/23 頁



第 14/23 頁



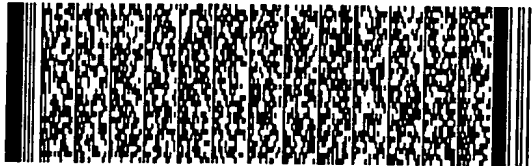
第 15/23 頁



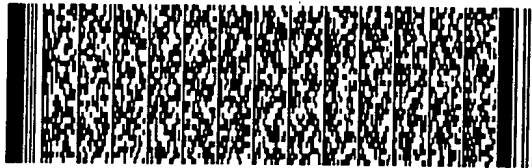
第 15/23 頁



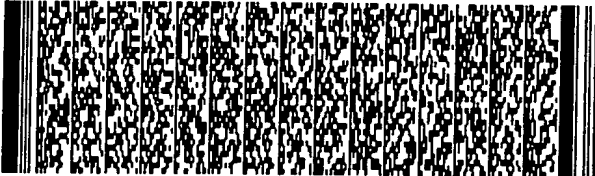
第 16/23 頁



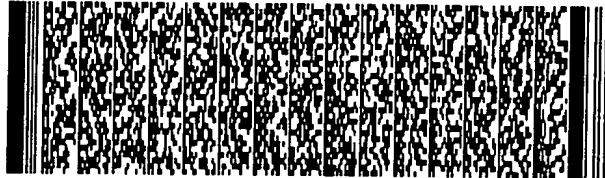
第 16/23 頁



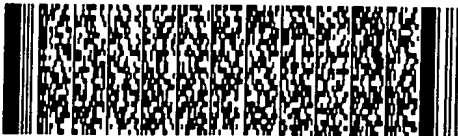
第 17/23 頁



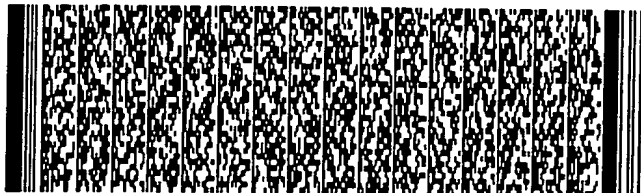
第 17/23 頁



第 18/23 頁



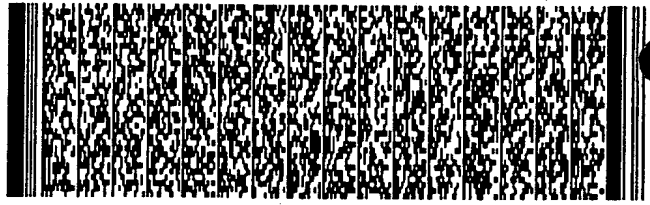
第 19/23 頁



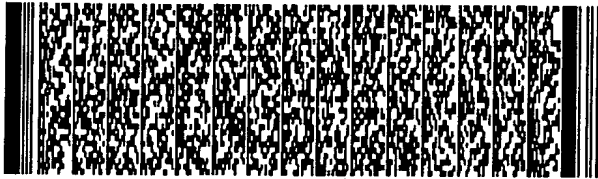
第 20/23 頁



第 21/23 頁



第 22/23 頁



第 23/23 頁

